

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

IN RE APPLICATION OF: Nobuo YAMASAKI

GAU:

SERIAL NO: NEW APPLICATION

EXAMINER:

FILED: HERewith

FOR: DISPLAY DEVICE HAVING SRAM BUILT IN PIXEL

REQUEST FOR PRIORITY

ASSISTANT COMMISSIONER FOR PATENTS  
WASHINGTON, D.C. 20231

SIR:

- ☐ Full benefit of the filing date of U.S. Application Serial Number, filed, is claimed pursuant to the provisions of 35 U.S.C. §120.
- ☐ Full benefit of the filing date of U.S. Provisional Application Serial Number, filed, is claimed pursuant to the provisions of 35 U.S.C. §119(e).
- ☒ Applicants claim any right to priority from any earlier filed applications to which they may be entitled pursuant to the provisions of 35 U.S.C. §119, as noted below.

In the matter of the above-identified application for patent, notice is hereby given that the applicants claim as priority:

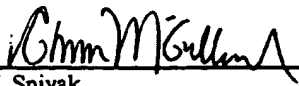
<u>COUNTRY</u>	<u>APPLICATION NUMBER</u>	<u>MONTH/DAY/YEAR</u>
JAPAN	2000-356132	November 22, 2000

Certified copies of the corresponding Convention Application(s)

- ☒ are submitted herewith
- ☐ will be submitted prior to payment of the Final Fee
- ☐ were filed in prior application Serial No. filed
- ☐ were submitted to the International Bureau in PCT Application Number .  
Receipt of the certified copies by the International Bureau in a timely manner under PCT Rule 17.1(a) has been acknowledged as evidenced by the attached PCT/IB/304.
- ☐ (A) Application Serial No.(s) were filed in prior application Serial No. filed ; and  
(B) Application Serial No.(s)
  - ☐ are submitted herewith
  - ☐ will be submitted prior to payment of the Final Fee

Respectfully Submitted,

OBLON, SPIVAK, McCLELLAND,  
MAIER & NEUSTADT, P.C.

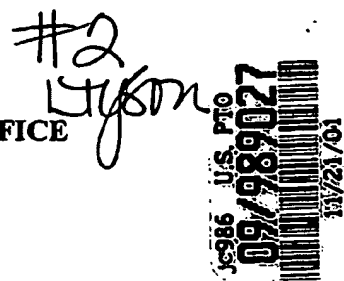
  
Marvin J. Spivak  
Registration No. 24,913



22850

Tel. (703) 413-3000  
Fax. (703) 413-2220  
(OSMMN 10/98)

C. Irvin McClelland  
Registration Number 21,124



日 本 国 特 許 庁  
JAPAN PATENT OFFICE

JC986 U.S. PTO  
09/989027  
11/21/01

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日  
Date of Application:

2000年11月22日

出 願 番 号  
Application Number:

特願2000-356132

出 願 人  
Applicant(s):

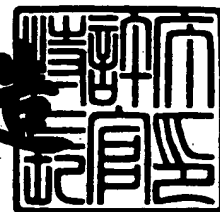
株式会社東芝

CERTIFIED COPY OF  
PRIORITY DOCUMENT

2001年 8月24日

特 許 庁 長 官  
Commissioner,  
Japan Patent Office

及 川 耕 造



【書類名】 特許願

【整理番号】 5JB009124

【提出日】 平成12年11月22日

【あて先】 特許庁長官殿

【国際特許分類】 G09G 3/36

【発明の名称】 液晶表示装置

【請求項の数】 3

【発明者】

【住所又は居所】 埼玉県深谷市幡羅町一丁目9番地2号 株式会社東芝  
深谷工場内

【氏名】 山崎 信生

【特許出願人】

【識別番号】 000003078

【氏名又は名称】 株式会社 東芝

【代理人】

【識別番号】 100083806

【弁理士】

【氏名又は名称】 三好 秀和

【電話番号】 03-3504-3075

【選任した代理人】

【識別番号】 100068342

【弁理士】

【氏名又は名称】 三好 保男

【選任した代理人】

【識別番号】 100100712

【弁理士】

【氏名又は名称】 岩▲崎▼ 幸邦

【選任した代理人】

【識別番号】 100100929

【弁理士】

【氏名又は名称】 川又 澄雄

【選任した代理人】

【識別番号】 100108707

【弁理士】

【氏名又は名称】 中村 友之

【選任した代理人】

【識別番号】 100095500

【弁理士】

【氏名又は名称】 伊藤 正和

【選任した代理人】

【識別番号】 100101247

【弁理士】

【氏名又は名称】 高橋 俊一

【選任した代理人】

【識別番号】 100098327

【弁理士】

【氏名又は名称】 高松 俊雄

【手数料の表示】

【予納台帳番号】 001982

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 液晶表示装置

【特許請求の範囲】

【請求項 1】 マトリクス状に配置された信号線と走査線の各交点付近にスイッチング素子を介して接続された画素、前記画素に接離可能に接続された映像データ記憶用の記憶素子、前記画素を通常駆動するための映像信号線ドライバ及び走査線ドライバ、前記記憶素子に保持されている映像データを前記画素に静的に表示するための静的表示用ドライバを備えた液晶表示装置において、

前記記憶素子に保持されている映像データを前記画素に供給して静的な表示を行う期間中、前記映像信号線ドライバへの電源電圧の供給を停止する電源制御手段を具備することを特徴とする液晶表示装置。

【請求項 2】 マトリクス状に配置された信号線と走査線の各交点付近にスイッチング素子を介して接続された画素、前記画素に接離可能に接続された映像データ記憶用の記憶素子、前記画素を通常駆動するための映像信号線ドライバ及び走査線ドライバ、前記記憶素子に保持されている映像データを前記画素に静的に表示するための静的表示用ドライバを備えた液晶表示装置において、

前記記憶素子に保持されている映像データを前記画素に供給して静的な表示を行う期間中、前記映像信号線ドライバ及び走査線ドライバへの各電源電圧の供給を停止する電源制御手段を具備することを特徴とする液晶表示装置。

【請求項 3】 前記電源制御手段は、前記映像データを前記画素に供給して静的な表示を行う期間中、映像信号線ドライバ又は走査線ドライバ用の電源電圧を生成する DC/DC コンバータの動作を停止することを特徴とする請求項 1 又は 2 記載の液晶表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、SRAM を有する液晶表示装置に係り、特に SRAM 保持データの表示時の低消費電力化を達成するための駆動回路技術に関する。

【0002】

## 【従来の技術】

従来よりアクティブマトリクス型液晶表示装置は、TFT液晶表示装置に代表されるように、軽量、薄型、低消費電力等の特長を活かし、テレビ、携帯情報端末、或いはグラフィックディスプレイ等の表示素子として盛んに利用されている。最近では、従来のアモルファスシリコンTFTに比べて電子移動度が高いポリシリコンTFTを比較的低温のプロセスで形成する技術が確立したことによりTFTの小型化が可能となり、また不純物ドーピングプロセスの導入によって相補型トランジスタ（CMOSトランジスタ）の形成が可能になったことから、ガラス基板上に駆動回路を一体形成したTFT液晶表示装置も出現している。

## 【0003】

また、CMOS回路を形成できることを利用して、一面素内に映像データ（液晶印加電圧）を静的に保持しうる、いわゆるSRAMを内蔵したTFT液晶表示装置も開発されている。

## 【0004】

通常の液晶表示装置では静止画表示を行う際にも、静止画データを表示フレーム毎に与えなければならないため、ドライバ回路、システム回路（グラフィックコントローラ）を常に動作させなければならず、消費電力を低減させることが難しかった。これに対して、SRAMを内蔵した液晶表示装置では、静止画表示を行う時はSRAMに保持されている映像データ（以下、SRAM保持データ）で表示を行い、この間はドライバ回路、システム回路を待機状態にさせることにより消費電力を低減させることができるため、情報機器の省電力化に貢献することができる。

## 【0005】

ところで、ポリシリコンTFTのようにガラス基板上に形成されるTFTで駆動回路を構成する場合、TFTの閾値特性の関係から、パネル内回路の電源電圧として10V程度、或いはそれ以上の電圧を必要とし、その結果、機器の電源からTFT駆動用の複数の電源を発生するDC/DCコンバータが必要となる。

## 【発明が解決しようとする課題】

上記した従来のSRAMを内蔵した液晶表示装置では、SRAM保持データに

よる駆動を行う際、回路構成によってはパネル内回路の複数の電源電圧の中で、供給する必要がない電圧が出て来たり、或いは発生する必要がない電圧が生じる場合がある。

## 【 0 0 0 6 】

ところが、不必要であっても電源電圧を供給した状態では、T F T素子のリーク電流分の電力損失が発生することになる。また、D C / D Cコンバータはスイッチングレギュレータ、或いはシリースレギュレータで構成されるが、パネル内回路の負荷がほとんどゼロになってもレギュレータの自己損失は発生し、その分の電力損失がある。

## 【 0 0 0 7 】

これらの電力損失は、特にバッテリー駆動される携帯情報機器の場合は無視することができない問題であり、S R A Mを内蔵した液晶パネルにおいてS R A M保持データによる駆動を行う際、不必要な電源電圧が消費する電力を低減することが求められている。

## 【 0 0 0 8 】

本発明は、上述の如き従来の課題を解決するためになされたもので、その目的は、S R A M保持データによる駆動時の消費電力を更に低減した省電力の液晶表示装置を提供することである。

## 【 0 0 0 9 】

## 【課題を解決するための手段】

上記目的を達成するために、請求項1の発明は、マトリクス状に配置された信号線と走査線の各交点付近にスイッチング素子を介して接続された画素、前記画素に接離可能に接続された映像データ記憶用の記憶素子、前記画素を通常駆動するための映像信号線ドライバ及び走査線ドライバ、前記記憶素子に保持されている映像データを前記画素に静的に表示するための静的表示用ドライバを備えた液晶表示装置において、前記記憶素子に保持されている映像データを前記画素に供給して静的な表示を行う期間中、前記映像信号線ドライバへの電源電圧の供給を停止する電源制御手段を具備することを特徴とする。

## 【 0 0 1 0 】

請求項 2 の発明は、マトリクス状に配置された信号線と走査線の各交点付近にスイッチング素子を介して接続された画素、前記画素に接離可能に接続された映像データ記憶用の記憶素子、前記画素を通常駆動するための映像信号線ドライバ及び走査線ドライバ、前記記憶素子に保持されている映像データを前記画素に静的に表示するための静的表示用ドライバを備えた液晶表示装置において、前記記憶素子に保持されている映像データを前記画素に供給して静的な表示を行う期間中、前記映像信号線ドライバ及び走査線ドライバへの各電源電圧の供給を停止する電源制御手段を具備することを特徴とする。

## 【 0 0 1 1 】

請求項 3 の発明は、請求項 1 又は 2 において、前記電源制御手段は、前記映像データを前記画素に供給して静的な表示を行う期間中、映像信号線ドライバ又は走査線ドライバ用の電源電圧を生成する DC / DC コンバータの動作を停止することを特徴とする。

## 【 0 0 1 2 】

好ましい形態として、前記映像データ記憶用の記憶素子として、例えば S R A M が用いられる。

## 【 0 0 1 3 】

## 【発明の実施の形態】

以下、本発明の実施の形態を図面に基づいて説明する。図 3 は、本発明の液晶表示装置の一実施形態に係る構成を示した回路図である。液晶表示装置 1 0 は、S R A M 内蔵画素部 1 と、この S R A M 内蔵画素部 1 を通常駆動するための映像信号線ドライバ（Xドライバ）2 と、走査線ドライバ（Yドライバ）3 と、S R A M 保持データによる駆動時に S R A M 内蔵画素を駆動するための S R A M ドライバ 4 とを備えている。各ドライバには、図示しない電源電圧発生部から必要な電源電圧が供給されている。

## 【 0 0 1 4 】

図 4 は、図 3 に示した S R A M 内蔵画素部 1 に含まれる一画素の構成を詳細に示した回路図である。画素は通常画素部 1 0 0 と S R A M 部 2 0 0 の 2 つのブロックから構成される。通常画素部 1 0 0 において、画素 T F T 1 2 のソースは信



号線 1 1 に接続され、ドレインは画素電極 1 3 に接続されている。画素電極 1 3 と対向電極 1 4 との間には図示しない液晶層が保持され、画素容量 C を形成している。また、画素 T F T 1 2 のゲートは図示しない走査線に接続され、図 3 に示した X ドライバ 2 から供給される走査信号によりオン／オフが制御される。S R A M 部 2 0 0 は、スイッチ S W - A、S W - B、S W - C 及びインバータ 1 5、1 6 により構成されている。スイッチ S W - A の端子 ( 2 ) はインバータ 1 5 の入力側に接続され、インバータ 1 5 の出力側はインバータ 1 6 の入力側と S W - B の端子 ( 2 ) に接続されている。また、インバータ 1 6 の出力側はスイッチ S W - C を介してインバータ 1 5 の入力側に接続されている。通常画素部 1 0 0 の画素電極 1 3 は、S R A M 部 2 0 0 のスイッチ S W - A、S W - B の端子 ( 1 ) と接続されている。

#### 【 0 0 1 5 】

次に、上述した画素の基本的な動作について説明する。以後の説明において、S R A M 部 2 0 0 が形成された画素を S R A M 内蔵画素、S R A M 部 2 0 0 を持っていない画素を通常画素と呼ぶ。また、S R A M 部 2 0 0 に保持された映像データ ( S R A M 保持データ ) によって表示することを S R A M 駆動、信号線 1 1 に供給される映像データによって表示することを通常駆動と呼ぶことにする。

#### 【 0 0 1 6 】

S R A M 内蔵画素を通常駆動する場合は、スイッチ S W - B 及び S W - C をオフして、S R A M 部 2 0 0 と通常画素部 1 0 0 とを切り離し、画素 T F T 1 2 のオン／オフによって液晶駆動を行う。すなわち、Y ドライバ 3 から走査線 ( 図示せず ) を通じて走査信号を供給することにより画素 T F T 1 2 をオン／オフし、X ドライバ 2 から信号線 1 1 を通して通常の映像データを画素容量 C に印加して表示を行う。

#### 【 0 0 1 7 】

S R A M 駆動するには、通常駆動から S R A M 駆動に切り替わる際の S R A M 保持データの書き込みモードにおいて、スイッチ S W - A をオン、S W - B をオフとし、画素 T F T 1 2、スイッチ S W - C をオン、オフすると共に、X ドライバ 2 から信号線 1 1 を通して 2 値の白黒信号電圧を供給することにより、インバ

ータ 1 5、1 6 に S R A M 保持データを保持させる。

【 0 0 1 8 】

その後、S R A M 駆動時には、画素 T F T 1 2 はオフに固定し、スイッチ S W - C はオンに固定し、2 段インバータ 1 5、1 6 の出力をスイッチ S W - A、S W - B で交互に選択して、図 5 に示すように画素容量 C へ電圧を与える。これと同時に対向電極 1 3 の電位を反転駆動し、画素電圧と対向電極電圧の位相関係から白／黒の 2 値表示を行う。

【 0 0 1 9 】

図 6 は、図 3 で示した S R A M 内蔵画素を駆動するための X ドライバ 2、Y ドライバ 3、S R A M ドライバ 4 の詳細構成と使用電源電圧との関係を示す説明図である。X ドライバ 2 はシフトレジスタ部、データラッチ部、階調電圧選択部、信号線出力部から成り、デジタルの階調データに基づいて階調電圧を選択し、信号線 1 1 に出力する。Y ドライバ 3 はシフトレジスタ部、レベルシフタ部、ゲート線出力部から成り、シフトパルスレベルをレベル変換した上、図示しない走査線に走査信号として出力する。S R A M ドライバ 4 は、図 4 に示した S R A M 部 2 0 0 のスイッチ S W - A、S W - B、S W - C を制御する信号及びインバータ 1 5、1 6 の電源を生成する。

【 0 0 2 0 】

S R A M 部 2 0 0 の制御のためには、S R A M ドライバ 4 の電源電圧 (Y G V D D, Y G V S S, S V D D, S V S S) が必要となる。X ドライバ 2 の電源電圧 (X V D D) に関しては、信号線 1 1 に供給される映像データの信号電圧が S R A M 駆動に寄与しないので不要となる。Y ドライバ 3 の Y V D D に関しては、走査線をオフにしておく必要があるためにシフトレジスタ部の論理を固定しなければならない、S R A M 駆動時にも必要となる。従って、S R A M 駆動時に不要な電源電圧は X V D D のみとなる。

【 0 0 2 1 】

次に、本実施形態の省電力対策について説明する。図 1 は、図 3 に示した液晶表示装置 1 0 の図示しない電源電圧発生部の第 1 の実施例を示した回路図であり、S R A M 駆動時に X V D D の供給を停止する構成を示したものである。

## 【 0 0 2 2 】

第 1 の実施例の電源電圧発生部では、DC/DCコンバータ 5 1 の出力側はスイッチ用の FET 5 2 が挿入され、この FET 5 2 を介して X V D D を X ドライバに出力するように構成されている。SRAM 駆動時には、FET 5 2 の導通をローレベルの SRAM モード信号によってオフすることにより、X ドライバへの X V D D の供給を停止する。

## 【 0 0 2 3 】

図 2 は、電源電圧発生部の第 2 の実施例を示した回路図であり、SRAM 駆動時に X V D D の発生そのものを停止する構成を示したものである。

## 【 0 0 2 4 】

第 2 の実施例では、電源電圧発生部の DC/DC コンバータ 6 0 として、スイッチング昇圧部 6 1、出力平滑部 6 2、コンパレータ部 6 3 及びアンド回路 6 4 を備えている。入力電圧はスイッチング昇圧部 6 1 により昇圧され、出力平滑部 6 2 により平滑された後、X V D D の電圧となって X ドライバに出力される。一方、コンパレータ部 6 3 は出力電圧と基準電圧とを比較し、その比較結果によりアンド回路 6 4 を介してスイッチング昇圧部 6 1 の動作を制御して、出力電圧が常に X V D D の電圧となるように制御している。

## 【 0 0 2 5 】

SRAM 駆動時には、SRAM モード信号をローレベルにして AND 回路 6 4 をオフにすることでスイッチング昇圧部 6 1 の動作を停止することにより、X V D D の発生を停止する。

## 【 0 0 2 6 】

本実施形態によれば、SRAM 駆動時に、動作する必要がない X ドライバ 2 への電源電圧 X V D D の供給を停止することにより、その分、SRAM 駆動時の電力消費を低減することができる。

## 【 0 0 2 7 】

その際、図 1 に示すように DC/DC コンバータ 5 1 から出力される X V D D の X ドライバ 2 への供給経路をオフしてもよいが、図 2 に示すように X V D D を発生する DC/DC コンバータ 6 0 の動作を停止して、X V D D の供給を停止す

るようにした方が、DC/DCコンバータの動作ロス分の電力消費を更に低減することができる。

【0028】

なお、上記実施形態では、Yドライバ3の走査線とSRAM部200のスイッチの制御線を兼用で使用するタイプを想定しているため、SRAM駆動時にもYドライバ3を動作させて、SRAM部200のスイッチSW-C等を確実に動作させなければならない。しかし、Yドライバ3の走査線とSRAM部200のスイッチの制御線が分離しているもので、SRAM部200のスイッチの制御を専用の制御部で行う形式のものでは、SRAM駆動時に、Yドライバ3の動作を停止することができる。この場合は、XVDDの他にYVDD, YGVDDのYドライバ3への電源電圧の供給を停止することができる。

【0029】

【発明の効果】

以上説明したように、本発明の液晶表示装置によれば、SRAM駆動時に動作する必要がないXドライバへの電源電圧XVDDの供給を停止することによりSRAM保持データによる駆動時の消費電力を更に低減して、一層の省電力化を図ることができる。

【図面の簡単な説明】

【図1】

液晶表示装置の電源電圧発生部の第1の実施例を示した回路図。

【図2】

液晶表示装置の電源電圧発生部の第2の実施例を示した回路図。

【図3】

本発明の液晶表示装置の一実施形態に係る構成を示した回路図。

【図4】

SRAM内蔵画素部に含まれる一画素の構成を詳細に示した回路図。

【図5】

SRAM駆動時の信号電圧の変化を示すタイムチャート。

【図6】

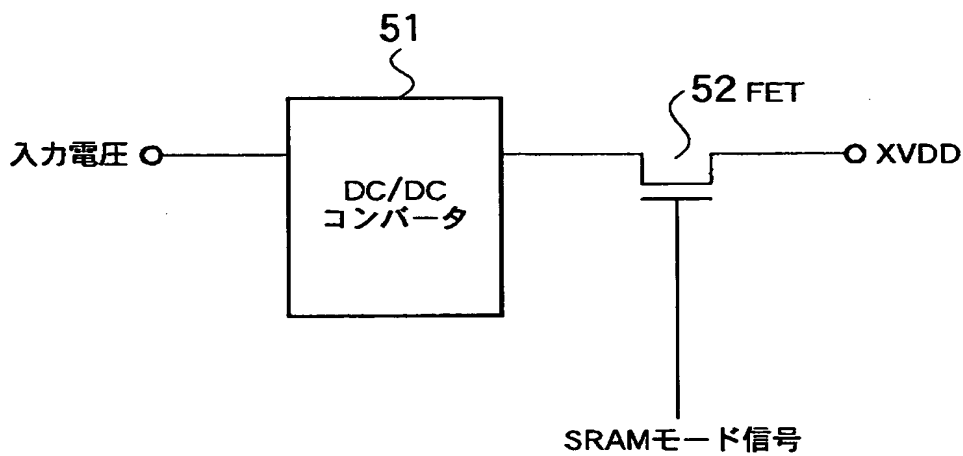
SRAM内蔵画素を駆動するための各ドライバの詳細構成と使用電源電圧との関係を示す説明図。

【符号の説明】

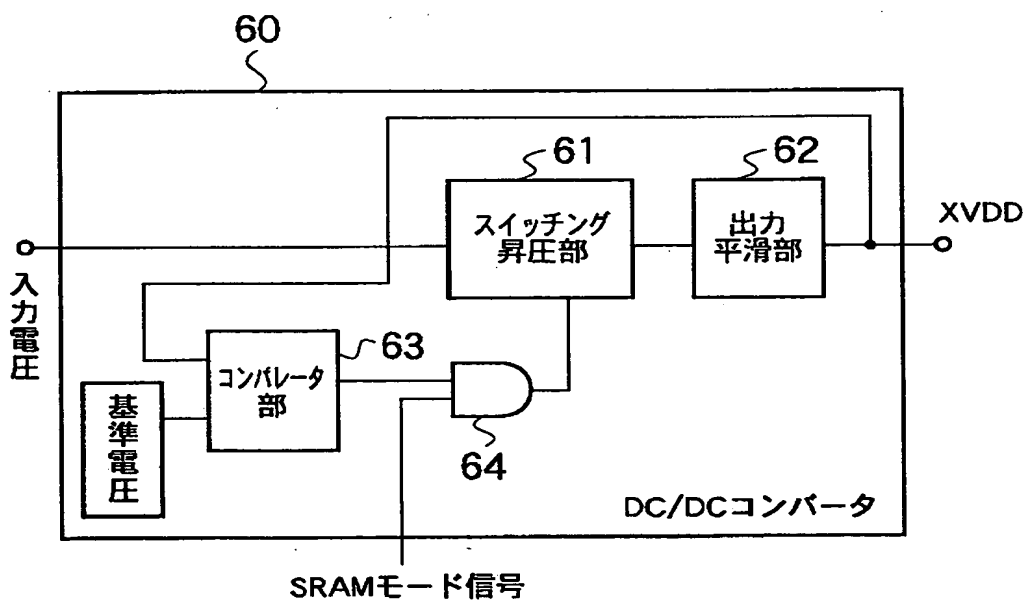
1…SRAM内蔵画素部、2…Xドライバ、3…Yドライバ、4…SRAMドライバ、10…液晶表示装置、11…信号線、12…画素TFT、13…画素電極、14…対向電極、15, 16…インバータ、51, 60…DC/DCコンバータ、52…FET、61…スイッチング昇圧部、62…出力平滑部、63…コンパレータ部、64…アンド回路、100…通常画素部、200…SRAM部、C…液晶容量、SW-A, SW-B, SW-C…スイッチ

【書類名】 図面

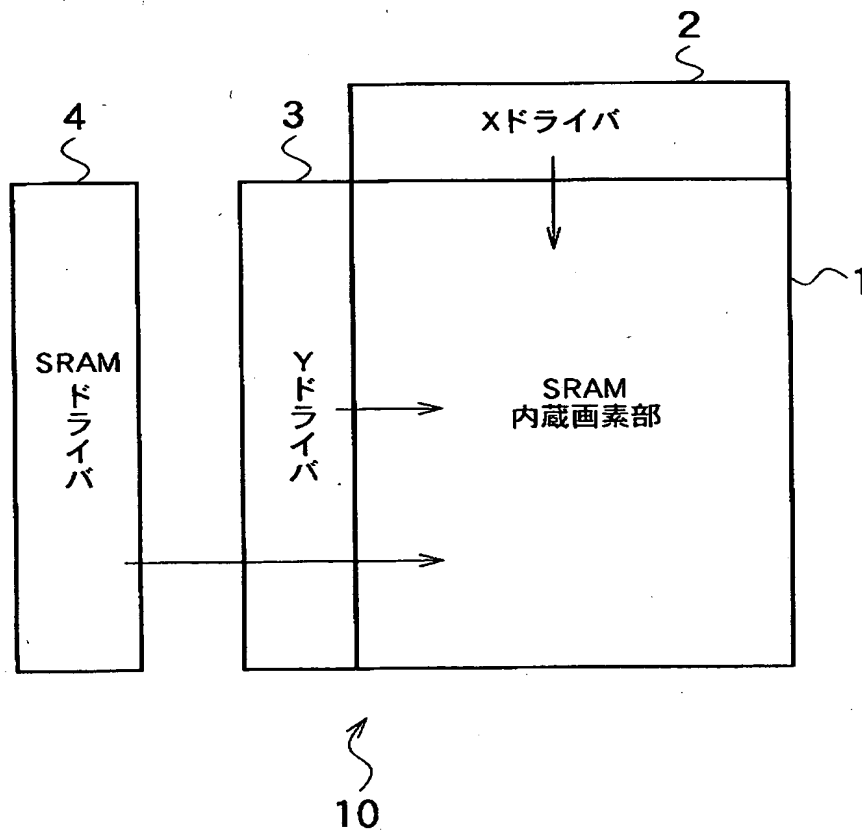
【図1】



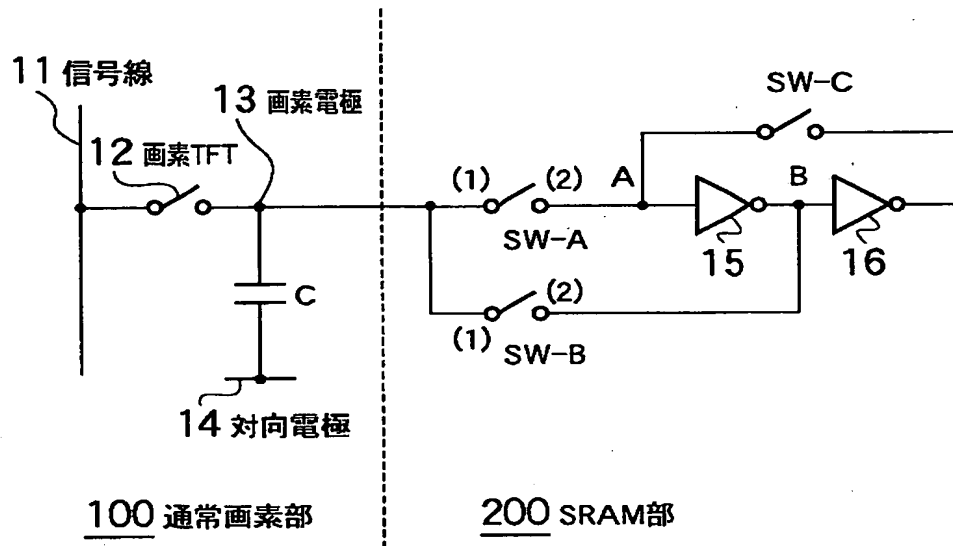
【図2】



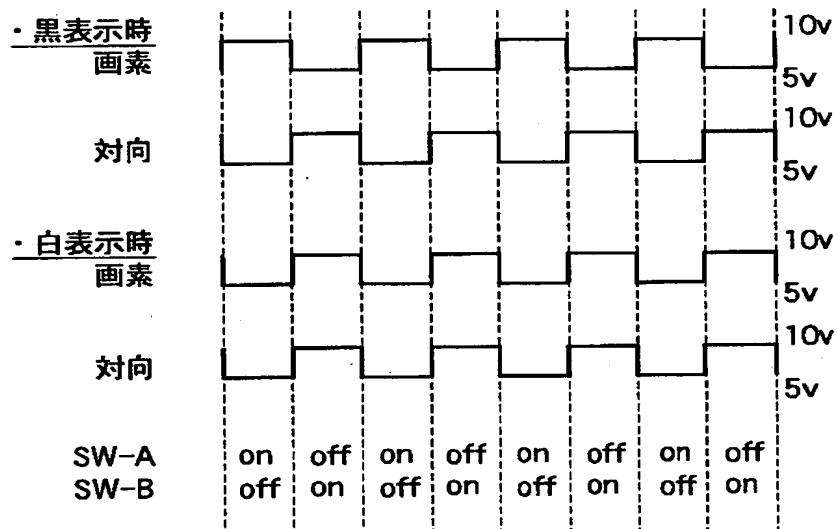
【図3】



【図4】



【図5】





【図 6】

回路ブロック	使用電源		
	VDD	VSS	SRAM表示時の使用
・ Xドライバ シフトレジスタ部 データラッチ部 階調電圧選択部 信号線出力部	XVDD	GND	不要
・ Yドライバ シフトレジスタ部 レベルシフタ部 ゲート線出力部	YVDD YGVDD YGVDD	GND YGVSS YGVSS	必要 必要 必要
・ SRAMドライバ SRAM制御信号生成部 SRAMインバータ電源部	YGVDD SVDD	YGVSS SVSS	必要 必要

【書類名】 要約書

【要約】

【課題】 S R A M を内蔵した液晶表示装置において、S R A M 保持データによる駆動時の消費電力を更に低減して一層の省電力化を図る。

【解決手段】 液晶表示装置の電源電圧発生部において、D C / D C コンバータ 5 1 の出力側に、電源制御手段としてのスイッチ用の F E T 5 2 を挿入して、この F E T 5 2 を介して X V D D を X ドライバに出力するように構成する。そして、S R A M 保持データを画素に供給して静的な表示を行う期間中は、S R A M モード信号により F E T 5 2 の導通をオフすることにより、X ドライバへの X V D D の供給を停止する。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [000003078]

1. 変更年月日 1990年 8月22日  
[変更理由] 新規登録  
住 所 神奈川県川崎市幸区堀川町72番地  
氏 名 株式会社東芝
2. 変更年月日 2001年 7月 2日  
[変更理由] 住所変更  
住 所 東京都港区芝浦一丁目1番1号  
氏 名 株式会社東芝